

半導体商社における電子デバイスの品質支援と各種解析サービス

An Introduction of Device Quality Support and Analysis Service in a Semiconductor Commercial Company

植木 武美
Takemi UEKI

概 要

近年、自動車には安全性・エコ性能向上・快適性等の機能を実現するキーコンポーネントとして ECU が多数搭載され、その中に使用される半導体・電子デバイス類が飛躍的に増大しており、これらの品質を保障するための品質管理や故障解析等が重要となってきた。このため、半導体商社として始めて、品質サポートセンターを整備し、選別・信頼性評価・故障解析・知財解析等のサービスを提供する体制を構築した。本稿では、品質サポートセンターのサービス体制と特徴を紹介する。また、品質支援サービス及び解析支援サービスの内容について、具体的なサービスメニューならびに解析事例を通して、品質サポートセンターの活動内容を紹介する。

1. はじめに

現代の自動車には ECU (Electronic Control Unit) と呼ばれる制御ユニットが多数 (高級車では 100 台近く) 搭載され、その中には多種類の半導体・電子デバイスが数多く実装されている。これらの ECU は、自動車の安全性・エコ性能向上・快適性等の機能を実現するキーコンポーネントとなっている。

ECU を構成する半導体・電子デバイスは、装置性能を左右するキーデバイスであり、とりわけ自動車用として特有の品質問題 (過酷な使用環境, 高信頼性の要求) から、徹底した品質管理と共に、不具合が発生した際には、迅速な故障解析による原因解明と対策が要求されている。

従来、車載用半導体・電子デバイスを取り扱う専門商社では、品質管理や故障解析等の問題解決を半導体メーカーやセットメーカーおよび信頼性試験会社等に依頼してきた。しかし、不具合発生時の原因解明から対策までに時間がかかる等の即応性や、国内外のデバイスメーカー主導で解析するため、品質・解析

データの詳細な内容が、顧客側に分かり難い等の問題が生じていた。

そこで、社内における品質・解析サポートセンターを整備し、車載用デバイスの品質支援による顧客満足度の向上を図ってきた。

本稿では、半導体商社におけるデバイス品質支援・解析サービスの体制と具体的な活動内容を紹介する。

2. サービス体制と特徴

社内の品質サポートセンターは、2008 年 3 月に開設した Toyotsu Automotive Quality Support Center (以下、TAQS と略記) と 2009 年 5 月より参画したヴァン・パートナーズ部門 (以下、VAN と略記) で構成されている。更に、社内で保有できない解析装置類については、図 1 に示す広範囲な解析ネットワークを利用している。

TAQS の設立目的は、

- ・顧客および半導体メーカーの満足度向上、

- ・品質管理機能の見える化,
- ・車載品質・信頼性向上支援である。

TAQS は名古屋圏 (安城市) に品質・解析ラボを有し, 近郊の Automotive 顧客を中心にスクリーニング・選別検査・不具合デバイスの初期解析等に対して即応性を発揮してきた。

その特徴は,

- ・生産活動に直結した品質支援,
- ・設計・製造・製品・アプリケーションに対する一連のシステムサポートである。

TAQS-VAN Partnersを核とした広範な解析体制のご提供

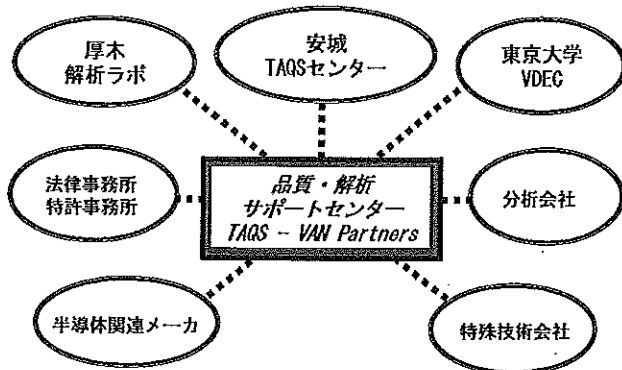


図1 品質サポートセンターの解析ネットワーク

一方, VAN は, 独立系の解析サービス会社として, 首都圏の東京大学 VDEC 他の解析ラボにおいて, セットメーカーや商社その他から受託し, 民生用半導体デバイスを中心に解析サービス事業を展開してきた。

その特徴は,

- ・産業用, 民生顧客主体,
- ・ICチップ・プロセスの物理的解析に強み,
- ・分析会社等との解析ネットワークを用いて最適な手法で解析可能等である。

以上のように, TAQS は生産ラインに直結した品質案件に対応して設計・製造・製品の品質サポートを担当し, VAN は市場クレームの掘り下げた解析を担当しており, TAQS と VAN の連携によって広範囲な品質サポートが提供できる。

また, 顧客である自動車メーカー等のデバイスを使用する側とデバイスメーカー等のデバイスを製造する側との中間に位置する商社内の組織であることで, 「中立的な品質・解析サポートセンター」と位置付けられる。

3. 品質支援サービス

3.1 サポート業務

品質サポートセンター (主に TAQS) で提供している品質支援サービスのサイクルを図2に示し, 以下に概要を紹介する。

1) 開発設計 One Pass 品質支援

開発・設計段階において, 信頼性を阻害する要因を明らかにし, その対策についての品質を支援する。

2) 製造品質支援

製造段階において, 歩留り向上のための原因究明や Burn-in ボードの設計等をサポートする。

3) 顧客・市場品質支援

市場におけるクレーム品の初期解析を中心に, 原因究明と改善対策をサポートする。

4) 次世代品質技術支援

微細技術・積層チップ技術等に対応した解析技術の高度化を支援する。

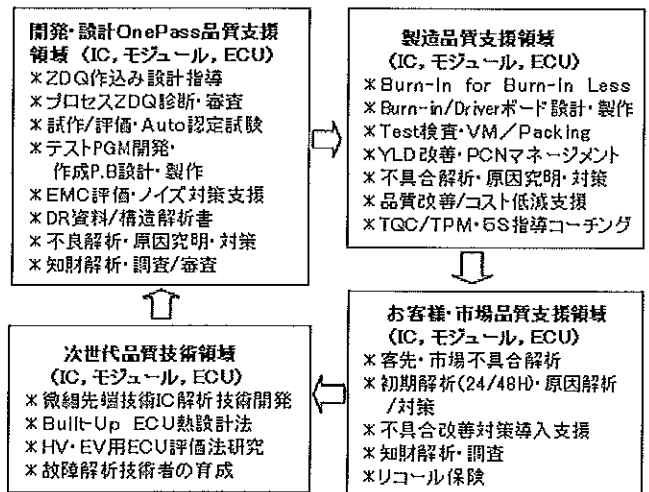


図2 TAQSにおける各領域への品質支援サービス・サイクル

3.2 各種ビジネス・パッケージ

顧客の要望に応じた品質支援サービスを提供するため, TAQS で用意した各種ビジネス・パッケージの概要を紹介する。

1) Fab Less パッケージ

開発段階から, ES 評価, 量産までトータルで品質業務全体を支援する。BMS, OEM 先対応も可能である。

2) R&D 支援パッケージ

開発段階から、ES 評価、量産まで、ZDQ をサポートし、One Pass を支援する。

3) Satellite Labo パッケージ

外資半導体企業の日本上陸を品質面から支援し Landing Cost の低減を品質 Labo 面から支援する。

4) フィールド品質支援パッケージ

日本のお客様の品質問題に対応すると共に、“認定品質 Labo”としてメーカを支援する。

5) 法人契約パッケージ

TAQS 所有機器の活用機会を提供し、専任品質技術者による品質問題のコンサルにも対応する。

6) 品質・信頼性

コンサルタント契約パッケージとして、品質・信頼性課題についてアドバイザーとしてのコンサルタント及び、人材の育成に対応する。

7) 共同研究・開発パッケージ

品質・信頼性に関する共同研究・開発支援として半導体関連企業・団体等へ対応する。

4. 解析支援サービスと事例

品質サポートセンター（主に VAN）で提供している解析支援サービスの概要とその解析事例を紹介する。

4.1 故障解析サービス

高品質な製品を供給するためには、自社開発および他社から購入したデバイス/モジュールにおける初期動作不良ならびに市場クレームの原因究明を早急に実施することが求められている。VAN では、故障解析技術を駆使して、故障原因となる欠陥箇所の特定および物理的な構造解析を行い、その故障メカニズム究明に貢献している。

以下に、LSI および PIN ダイオードの解析事例を示す。

4.1.1 LSI のゲートリーク原因解析

Si-LSI の初期不良品として、スタンバイ電流の増大故障が継続的に発生した。ここでは、不良 LSI について、リーク電流の発生原因を解明した事例を紹介する。

1) エミッション解析による箇所の特定

不良 LSI のモールドパッケージを開封し、DC バイアスにおいてチップ表面からのエミッション（発光）が検出された（図 3(a)）。発光点とレイアウト・パターンとの対応関係から、MOSFET からの発光であること、更に発光形状が点状である（FET 全体からの面状の発光と異なる）ことから、欠陥箇所からの発光と推定された。

2) ウエットエッチングによる Si 基板観察

配線層をエッチングして基板表面を露出させて表面観察した結果、発光箇所に対応したエッチピット（Si 基板の (100) 面に対して <111> 面に囲まれた凹状の欠陥痕跡）が観察された（図 3(b)）。18 個の不良 LSI について、エッチピットを観察した結果、LOCOS 端部に集中していることが判明した（図 3(b)(c)）。

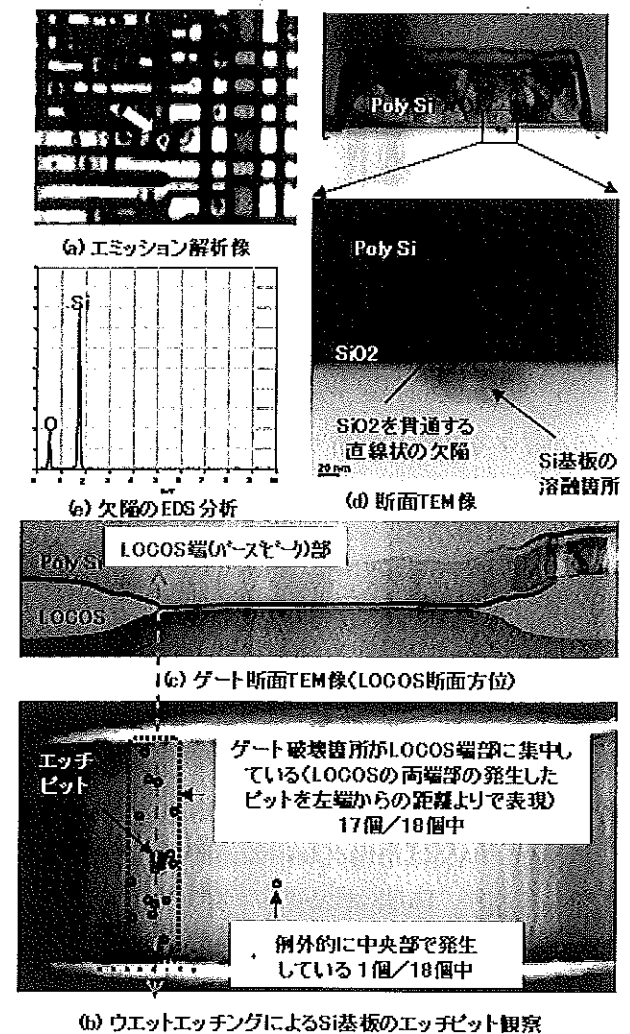


図 3 LSI のゲート欠陥解析による欠陥箇所と LOCOS 構造との対応関係

3) 断面 TEM 観察

断面 TEM 解析には、透過力の高い超高圧（加速電圧： $E_a=3,000\text{kV}$ ）電子顕微鏡（大阪大学：H-3000）を利用した。その理由は、エミッションによる故障箇所的位置精度が光学レンズ系の分解能に支配され高々 $1\mu\text{m}$ 程度であり、汎用（ $E_a=300\text{kV}$ 以下の）TEM/STEMで観察可能な試料厚さ（ $<0.5\mu\text{m}$ ）中に欠陥を確実に含めるためには、十分な精度ではないためである。

そこで、微小欠陥を確実に含むように試料厚さを約 $2\mu\text{m}$ と厚くした状態でステレオ観察法¹⁾によって薄膜化し、高分解能観察を行った。

高分解能 TEM 観察の結果、ゲート酸化膜（ SiO_2 ）中を斜めに貫通する直線的な欠陥および基板側に溶解箇所が観察された（図 3(d)）。

なお、欠陥の EDS 分析結果からは、 Si-O 以外の重金属は検出されない（図 3(e)）。

4) 故障メカニズムの考察

ゲート酸化膜中に直線的な欠陥が存在し、大多数が LOCOS 端部に集中することから、LOCOS 端部に集中して発生する応力²⁾ 起因と推定される。端部で発生した応力によって SiO_2 膜中に発生した微小クラックがリーク原因と示唆される。

4.1.2 PIN ダイオードのリーク原因解析

信頼性（高温・高湿）試験において、逆方向特性の劣化故障となった GaAs-PIN ダイオードについて、劣化原因を解析した事例を示す。

1) エミッション解析による箇所の特定

故障ダイオードの逆方向特性には、並列抵抗（約 $300\text{K}\Omega$ ）成分が付加されているため、DC バイアスにおいてチップ表面からのエミッション（発光）が検出された（図 4(a)）。しかし、アノード電極の側面周辺部からも散乱によると推定される発光が漏れ出ているため、欠陥箇所をピンポイントで特定できない。

2) 断面 SEM 観察

図 4(a) に示す加工位置で FIB 断面加工して SEM 観察した結果を図 4(b) に示すように、アノードの上部/下部電極およびその周辺部の溶解などの異常箇所は観察されず、基板における結晶欠陥の可能性が推定された。

3) 断面 TEM 観察

欠陥がピンポイントで特定できないことから、断面 TEM 解析では、4.1.1 と同様に超高圧電顕を利用

した。微小欠陥を確実に含むように試料厚さを約 $2\mu\text{m}$ と厚くした状態でステレオ観察法によって薄膜化し、高分解能観察を行った。

その結果、GaAs 基板中にループ状の転位欠陥が多数重なって発生しており、その一端がアノード電極側へ伸びている様子が観察される（図 4(c)）。本デバイスは PIN 構造であるため、厚い基板層である I（Intrinsic）層を貫通する転移ループがリーク原因と示唆される。

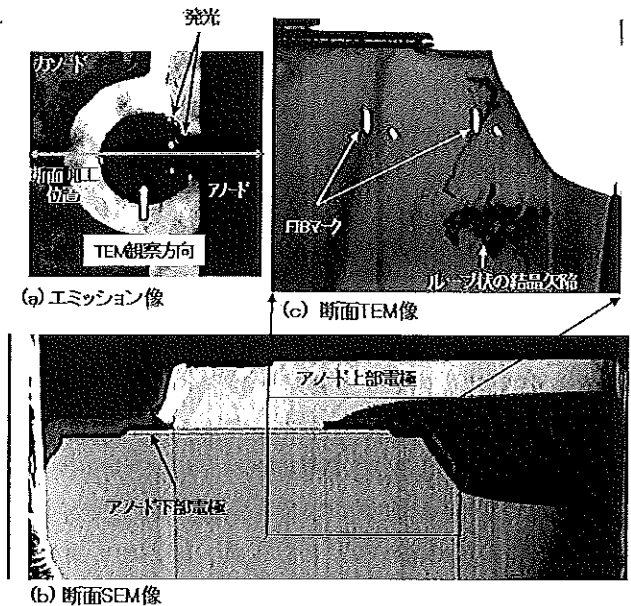


図 4 GaAs-PIN ダイオードのリーク不良解析

4) 故障メカニズムの考察

基板中のループ状の転位欠陥は、信頼性試験の温度（ 85°C ）程度で成長したとは考え難く、製造プロセス中に発生したものと推定される。

チップ表面を露出させた状態で行った高温・高湿（ $85^\circ\text{C}/85\%$ ）試験において、リーク電流が発生したメカニズムとしては、試験雰囲気中の水分および含まれる可動イオンの影響が推定される。

4.2 回路修正サービス

新規のチップ開発においては、回路設計段階のソフト的な検証をすり抜け、実際に製造されたチップの段階で回路設計ミスが判明するケースが多々ある。このような設計ミスの修正効果を高額なマスク変更によらずに検証するため、集束イオンビーム装置（FIB）による配線の切断・接続機能を応用した回路修正サービスを提供している。このサービスは、故障解析のために単体デバイスの特性を測定する際

に、プロービング用の微細パッド形成にも応用できる。

1) FIBによる回路修正サービスの特徴

- ①平坦化したデバイスに対しては、CAD リンク (GDS II) およびレーザーマーキングで対応する。
- ②チップ表面を覆うポリイミド膜や Si-N 膜を短波長 (248nm/355nm) レーザによるレーザーアブレーション (ダメージ・レス) 加工で、部分的 ($3\mu\text{m}^2 \sim 50\mu\text{m}^2$) に開口し、加工時間を短縮する。
- ③パッケージ品については、モールド樹脂を部分溶解してチップ表面を露出させ、回路修正後には再封止まで対応する。

2) 回路修正サービスの事例

図5は、Wデポジションによる配線接続およびイオンスパッタによる配線切断を行った例であり、任意な回路修正が可能である。また、デポジション膜としては金属膜以外に絶縁膜も形成できるため、交差した配線接続が可能である。更に、スパッタの際に支援ガスを併用することで、材質によるスパッタレイトの違いを利用し、高速でダメージの少ない切断加工が可能となっている。

なお、先端の微細・多層配線デバイスに対しては、加工部位の上層配線への影響を回避する工夫が必要である。

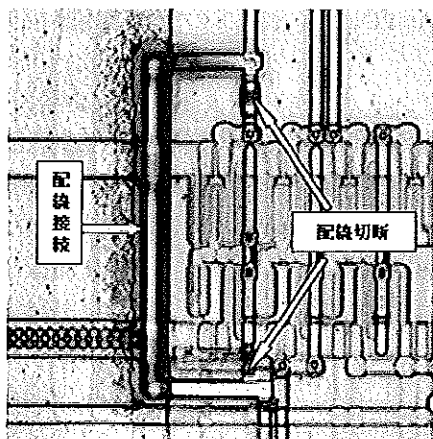


図5 LSIの配線リペアの事例

4.3 構造解析サービス

前述したFIBはサブミクロン精度で指定した箇所を狙って断面加工できることから、断面SEM観察および断面TEM観察試料の加工に用いられる。その他の加工技術 (研磨, エッチング等) および各種の観察 (SEM/TEM/SCM) ・分析 (EDS/EELS/SIMS)

技術を含めて、チップ構造を解析するサービスを提供している。以下に、良品解析と流通品解析の事例を示す。

4.3.1 良品解析

コンポーネントへ搭載する電子デバイスの信頼性は、装置全体の信頼性設計に多大な影響を与えるため、個々のデバイス決定までには慎重な判断が求められる。具体的なデバイス選定過程では、メーカーで実施した信頼性に関する膨大なデータおよび当該製造ロットの管理データをも参照する必要があるが、これらのデータは各種の信頼性試験における電気的な特性評価が中心であり、デバイス構造に対する知見を得ることができない。

そこで、候補デバイスの物理的な構造について、その出来ばえを直感的に把握するための構造解析の手法が、パターン・ズレに対するマージン有無等、プロセス管理の一端が垣間見えて有効である。ここでは、良品デバイスについて、主に配線構造の出来ばえを観察した事例、ならびに同一品番のデバイスにおけるメーカー間の Si 基板の結晶欠陥を比較した事例を紹介する。

1) 断面解析による配線構造の観察

断面構造からは、モールド樹脂の緻密性、チップエッジの剥がれ有無、ワイヤボンドの合金層形成状態、プロセス・ルール、配線メタル構造、層間絶縁膜構造、ゲートおよび酸化膜構造ならびにパターン・ズレ等のさまざまなプロセス情報が得られる。

図6は、デザインルールが $0.35\mu\text{m}$ ルールの3層メタル/1層 Poly の ASIC について、FIBによる断面加工と断面に若干の凹凸を形成するウェット・エッチング後の SEM 像を示す。パターン・ズレ量としては、2層メタル (ML2) と3層メタル (ML3 間) に $0.1\mu\text{m}$ のズレ、ゲートとソース (S) /ドレイン (D) コンタクトのズレ: $0.16\mu\text{m}$ が観察される。これらのズレは、 $0.35\mu\text{m}$ ルールでは許容されるマージンの範囲であること、その他に配線層上下のバリアメタル形状および層間膜厚等が問題ないことが判断できる。

この他、平面構造からは、チップ全体における配線層の形成状況などを広範囲に観察することができる。

このような良品デバイスの構造解析を行うことで、製造メーカーのプロセスの問題点を洗い出すことが可能であり、ロット間のプロセス変動 (揺らぎ)

を把握することができ、デバイス選定の一つの指標となる。

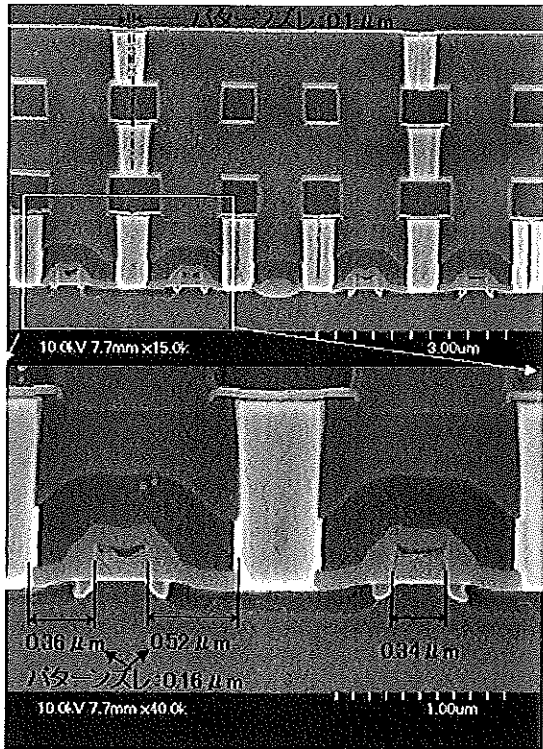


図6 IC良品解析による断面構造のパターンズレ測定

2) 基板結晶観察による欠陥密度の評価

半導体デバイスにおいては、as-grownのウエハから製造プロセスを経る過程で欠陥が発生し、イントリンシック・ゲッターリング(IG)効果で欠陥を低減させても、表面欠陥が散在する。電気的特性に多大な影響を与えるpn接合およびゲート領域に欠陥が存在する確率は小さいものの、表面の結晶欠陥は製造歩留まりを下げる要因の一つである。ここでは、各社で製造している同一品番のロジックICについて、Si基板の結晶欠陥を検出し、欠陥密度を比較した事例を紹介する。

評価方法は、ゲート領域のSi表面を露出した後、微小な結晶欠陥を強調するために、酸化され易い結晶欠陥をエッチピットとして顕在化させるライトエッチング³⁾(HF+HNO₃+CH₃COOH+CrO₃溶液：室温で1分間)を行い、基板表面をSEM観察した。

図7(a)は、A社BロットのSEM観察例で、ゲート領域の中央部分に0.3μm程度のエッチピットが観察される他、エッジ部に0.1μm以下の凹凸が観測される。一方、図7(b)にはB社CロットのSEM観察

例を示すように、ゲート領域の側壁近傍に0.3μm程度のエッチピットが観察される他、エッジ部とゲート領域表面に0.1μm以下の凹凸が多数観測される。なお、実際の欠陥サイズとしては、ライトエッチング速度(約1μm/min)から推定し、大きいものでも0.1μm以下と推定される。

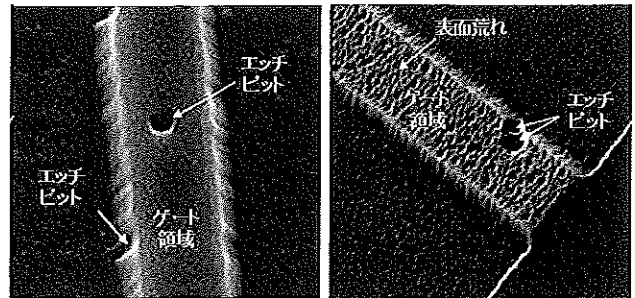


図7 (a)A社Bロット 1μm (b)B社Cロット 1μm

図7 ロジックICのSi基板表面におけるライトエッチングによるゲート欠陥の強調

表1には、3社4ロットについて、ゲート領域内に観察されたエッチピットをサイズ別に分類し、各ロットのゲート面積から欠陥密度を算出した結果を示す。最も多いB社が 6×10^6 個/cm²であり、表面欠陥密度としては、B社>A社>C社の順に欠陥密度が小さいことが判明した。

表1 ロジックICのSi基板におけるライトエッチングによるゲート欠陥(サイズ別の発生数と欠陥密度のメーカー・ロット間の比較)

メーカー・ロット	エッチピットのサイズ別に分類した欠陥数			欠陥数を合計した欠陥密度(個/cm ²)
	0.1~0.4μm	0.5~0.9μm	1μm以上	
A社Aロット	32個 (ゲートエッチ)	0個	0個	2.8×10^6
A社Bロット	17個	1個	0個	1.6×10^6
B社Cロット	73個	0個	0個	6×10^6
C社Dロット	0個	0個	0個	$< 6 \times 10^4$

*欠陥密度は、結晶欠陥の有無を観察したトランジスタのゲート面積換算。また、C社Dロットについては、1個発生と仮定した場合の欠陥密度。

ここで評価したICは、すべて電気的特性としては良品であり、観察された欠陥が電气的な不具合を起こしている訳ではない。しかし、ウイークポイントを内在している事は確かであり、他の劣化要因(プロセス汚染等)と重なった場合、欠陥として顕在化する可能性の大きいことが示唆される。また、メーカーのプロセス工程の管理能力を示す一つの指標としても参考になる。

4.3.2 流通品解析

最近、「巷にあふれる模倣電子部品」⁴⁾を不用意に使用したため、製品の信頼性を損なう事例が多発している。外観を似せただけの粗悪品から、ロット不良ウエハを違法に入手し組み立てた例など、多様な手口で模倣電子部品が製造されている。また、正規品であっても流通過程の保管状態が悪く、吸湿などで信頼性上問題となる例も多い。

ここでは、模倣電子部品の見分け方ならびに、いわゆる流通品と呼ばれ電気的特性に問題は無いが、正規販売業者を経ずにオープン市場から入手したICについて構造調査した事例を紹介する。

1) 外観観察による見分け方

品番等の捺印の異常を観察するため、外観観察が有効である。捺印面の研削痕跡やリマークの有無の他、正規品が入手できた場合には印字の字体比較も有効である。

2) 非破壊解析による見分け方

X線透視観察では、チップサイズ、リード/ダイ・フレーム形状、ワイヤボンドの位置など、正規品とまがい物との差が観察可能である。

保管状態が悪いために、モールド樹脂が吸湿し、プリント基板への部品搭載時のリフロー工程でオープン（チップのはく離）故障を起こす場合がある。この場合には、超音波探傷装置（SAT）が有効であり、チップ全面または一部のはく離が検出可能である。

3) 破壊解析

パッケージを開封したチップパターン観察から、正規品とのパターン比較やチップメーカーのロゴを確認することも必要である。また、電気的特性が正常でも、図8のように局部的にAl腐食が進行している場合があり、初期段階で不良が発生しなくても経時的に進行する劣化モードの場合には、将来的に大きなリスクとなるので要注意である。

4) 対策

図8のAl腐食事例のように、Al腐食が進行した場合、選別で取り除くことは困難である。また、Al腐食に至らない場合、真空脱気等の手段で一時的に回復させても、信頼性上の確認（信頼性試験）が必要である。

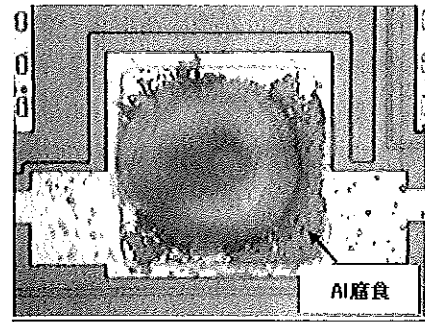


図8 流通品ICにおけるAlパッドの腐食
(電気的特性は正常)

4.4 回路技術の調査解析

IC/LSI搭載電子機器の商品サイクル短縮化によって、製造中止となった保守部品を確保するために互換部品の新規開発が必要になる等、チップ回路のリバース・エンジニアリング（構造調査・回路解読）が必要となっている。更に、知的財産権の侵害に対抗するため、他社チップの解析が行われている。ここでは、チップ回路技術の調査解析内容とその事例を紹介する。

1) 調査解析内容

- ①物理的なチップ構造を調査するため、4.3節で述べた構造解析技術を用いて、パターンルール、配線層構成、各種膜厚、材料、加工形状などを調査する。
- ②回路構成の調査として、ブロック構成の概要調査およびメモリ種類や容量等の調査を行う。更に詳細な回路図の解読調査および回路動作・機能の調査を行う。
- ③単体素子の電気的特性の調査として、ナノプローブ解析等で、DC特性を測定する。

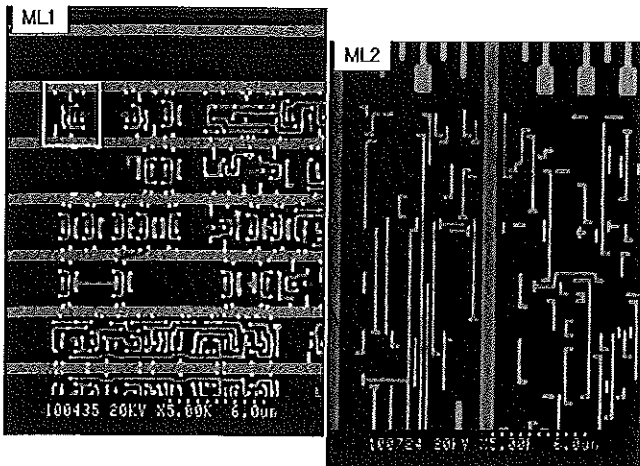
2) 回路解読方法

- ①平面研磨加工によってチップ表面配線からゲート電極までの各層を露出し、その過程で解読範囲のチップ表面写真を取得する。その際、各層間のビア接続関係を把握するため、層間膜途中の写真も取得する場合がある。最終的には基板を露出させ、トランジスタ等のデバイス配置を確認する。
- ②各層の配線および層間の接続関係を追跡し、外部端子から各デバイスまでの配線図を作成する。
- ③配線図から回路機能別に整理し、機能ブロックを分類する。

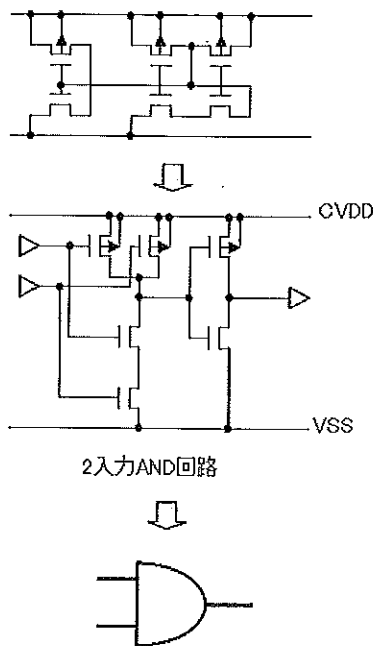
3) 回路解読事例

図9は、デザインルールが0.13 μm のAl配線デバイスの解読事例である。スタンダードセル方式のロ

ジック回路部分について、(a) スタンダードセル間接続の解説、(b) スタンダードセル単体の回路図化とロジックゲートの認識(図9(a)左上の白枠内)までの各工程を示す。また、アナログ回路についても同様な手法が可能であり、多層プリント基板の解説にも対応している。



(a) スタンダードセル間接続の解説



(b) スタンダードセル単体の回路図化とロジックゲートの認識

図9 スタンダードセル方式ロジック回路の解説事例

5. おわりに

半導体商社として、品質サポートセンターを整備し、提供しているデバイス品質支援サービスおよび

解析サービスについて具体的な解析事例を紹介した。

今後は、評価・解析装置類および人員体制を充実して即応性を高めると共に、品質・解析に関する知見を蓄積してより高度なサービスを提供し、顧客満足度を高める努力を継続して行く所存である。

参考文献

- 1) 植木, 竹田: Cz-Si 中 Grown-in 欠陥の透過型電子顕微鏡による観察技術, 日本電子顕微鏡学会誌, Vol. 34, No.1, pp. 61- 64 (1999)
- 2) 津屋秀樹: 超 LSI プロセス制御工学, 倍風館, pp.37-41 (1994)
- 3) M Wright Jenkins: A New Preferential Etch for Defects in Silicon Crystals, J. Electrochem. Soc., Vol. 124, No. 5, pp. 757-762 (1977)
- 4) 巷にあふれる模倣電子部品, 日経エレクトロニクス, 2010.4.19, pp.30-50 (2010)

(うえき たけみ/㈱豊通エレクトロニクス)



植木 武美

1969年4月 日本電信電話公社(現NTT) 入社, 武蔵野電気通信研究所および厚木電気通信研究所にて半導体デバイスの高信頼化・故障解析技術の研究ならびに結晶欠陥構造解明の研究に従事。2004年9月 ㈱ヴァン・パートナーズ入社。2009年5月 ㈱豊通エレクトロニクス入社。この間、半導体デバイスの評価解析サービス事業に従事し、現在に至る。工学博士。科学技術庁長官賞および応用物理学学会論文賞受賞。応用物理学学会および日本顕微鏡学会会員。